

Requested Patent: JP7183254A
Title: MANUFACTURE OF SEMICONDUCTOR DEVICE ,
Abstracted Patent: JP7183254 ;
Publication Date: 1995-07-21 ;
Inventor(s): KUWABARA SHINICHI ;
Applicant(s): NEC CORP ;
Application Number: JP19930348019 19931224 ;
Priority Number(s): ;
IPC Classification: H01L21/285 ; H01L21/265 ; H01L21/3213 ; H01L27/08 ;
Equivalents: JP2734968B2

ABSTRACT:

PURPOSE:To form stable low-resistance contacts without lowering the element separating characteristics of the contacts by setting the ion implanting angle at a specific value or larger when the ion of an impurity is obliquely implanted into polycrystalline silicon in contact holes.

CONSTITUTION:After forming contact holes through an insulating film 110 formed on a semiconductor substrate having a functional area, a first polycrystalline silicon layer 111 is formed on the entire surface of the semiconductor substrate coated with the film 110 by chemical vapor growth. Then the ion of an impurity is obliquely implanted into the silicon 111 at an angle equal to or wider than $\tan (2X(\text{radius of contact hole-thickness of first polycrystalline silicon film})/(\text{depth of contact hole}))$. Then, after forming second polycrystalline silicon 112 by chemical vapor deposition, the first and second silicon layers 111 and 112 are etched off from the entire surface of the substrate except those in the contact holes. The thickness of the first silicon layer 111 is set at, for example, about

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183254

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.⁵

H 0 1 L 21/285

21/265

21/3213

識別記号

3 0 1

片内整理番号

8826-4M

F 1

技術表示箇所

H 0 1 L 21/ 265

W

21/ 88

D

審査請求 有 請求項の数 3 F D (全 7 頁) 最終頁に続く

(21) 出願番号 特願平5-348019

(22) 出願日 平成5年(1993)12月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 桑原 慎一

東京都港区芝五丁目7番1号 日本電気株式会社内

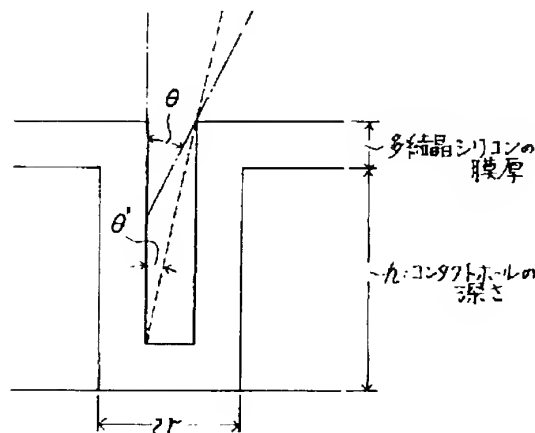
(74) 代理人 弁理士 煤孫 耕郎

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 VT 2 の低下を最小に抑え、コンタクト抵抗を高くすることなくコンタクトを形成することを目的とする。

【構成】 コンタクトホール内の多結晶シリコンに対する不純物を斜めイオン注入する際、角度を $\tan^{-1} (2 \times (\text{コンタクトホール半径} - \text{多結晶ポリシリコンの厚さ}) / \text{コンタクトホールの深さ})$ 以上の角度で注入することによりコンタクトホール底部に不純物が注入されない為、不純物の活性化の為の熱処理、及び後工程の熱処理により基板に拡散した不純物による VT 2 の悪化を最小にすることが出来る。



r: コンタクトホール半径
θ: 注入角度

$$\tan^{-1} \frac{r}{h} > \theta > \tan^{-1} \frac{2r-2a}{h}$$

$$\theta' = \tan^{-1} \frac{2(r-a)}{h}$$

【特許請求の範囲】

【請求項1】 機能領域を有する半導体基板上に形成された絶縁膜に、コンタクトホールを形成する工程と、前記絶縁膜を有する半導体基板の全面に第1の多結晶シリコン層を化学気相成長する工程と、不純物を \tan^{-1} (2×(コンタクト開口半径-第1の多結晶シリコン膜厚) / (コンタクトホールの深さ)) 以上の角度で不純物を斜めイオン注入により第1の多結晶シリコン中に注入する工程と、第2の多結晶シリコン化学気相成長する工程と、前記第1、2の多結晶シリコンをコンタクトホール内を残し全面エッチする工程を特徴とする半導体装置の製造方法。

【請求項2】 不純物を斜めイオン注入する角度が、 \tan^{-1} (2×コンタクト開口半径-2×第1の多結晶シリコン膜厚) 以下であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 第1の多結晶シリコン層の厚さが、コンタクトホール直径の約1/3未満であることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特にコンタクトの製造方法に関する。

【0002】

【従来の技術】 従来、半導体装置におけるコンタクトを形成する技術として、例えば、特開平2-281620で提案されている半導体装置の製造方法がある。この従来技術について図6、図7、図8、図9及び図10を参照して説明する。NMOS型半導体装置において、まず図6(a)の様に、P型半導体基板(301)上に素子分離膜(LOCOS)(302)とNチャンネル型LEDトランジスタのソース・ドレイン領域であるN⁺拡散層(303)、N⁻拡散層(304)とゲート絶縁膜(ゲート酸化膜)(305)とゲート電極であるN⁺多結晶シリコン(306)とシリコン酸化膜(307)の上にリン珪酸ガラス(PSG)膜(308)を約1.5μm化学気相成長により成長した層間膜(310)(これは307と308をまとめたもの)を形成する。次に図6(b)に示すように、ホトレジスト(309)を用い約0.5μm半径のコンタクトホールをパターンニングする。

【0003】 次に図7(c)に示すようにホトレジスト(309)をマスクとして、層間膜(310)をプラズマエッチングによりN⁺拡散層(303)が出るまでエッチングする。次にホトレジストを除去した後、図7(d)に示すように、第1の多結晶シリコン(311)を化学気相成長により約0.2μmの厚さに成長する。次に図8(c)及び(f)に示すように、コンタクト底部及びコンタクト側面に入るように斜め回転イオン注入する。次に図9(g)に示すように、化学気相成長によ

り第2の多結晶シリコン(312)の厚さを約0.5μm形成し、コンタクトホールを埋め込み、次に図9

(h)に示すように窒素中で900℃、20分の熱処理を行い多結晶シリコンに注入された不純物を活性化させるとともに、多結晶シリコンに十分拡散する。次に図10(i)に示すようにエッチバックすることによりコンタクトホール内に多結晶シリコンを残留形成し、埋め込みコンタクトを得る。

【0004】

【発明が解決しようとする課題】 近年、半導体装置の高集積化が進み、素子分離間隔が縮小されそれに伴い、コンタクト間隔が縮小されてきている。上記コンタクトの抵抗を低くする為に、コンタクト底部及びコンタクト側面共に注入される斜め回転イオン注入法によるリンドープを行っている。この方法では、底面部に注入された不純物が活性化及び後の熱処理により素子分離方向にも拡散していき、コンタクト間の素子分離間隔が短くなる。この時素子分離を挟んだコンタクト間で電位差が生じたとき、コンタクト下のN⁺層間で出来る寄生トランジスタが素子分離悪化による寄生トランジスタのしきい値電圧(V_{T2})低下により、電流リークが多くなるという問題があった。また、上記V_{T2}低下を抑える為、コンタクト部に注入する不純物注入量を少なくするとコンタクト抵抗が高くなりすぎるという問題があった。

【0005】 特に、図10(i)に示したように、コンタクトホールを多結晶シリコン層で埋め込んだ後に、タングステンシリサイドやチタンシリサイドなど高融点金属のケイ化物による配線層を被着した場合(図示せず)、問題は重大なものとなる。すなわち、コンタクトホール内壁の第1の多結晶シリコン中に導入された不純物は、その後の熱処理により前記高融点金属のケイ化物中に拡散し、コンタクトホール内壁の第1の多結晶シリコンの不純物濃度が極端に低下して数10MΩという異常な低抵抗を示すことがある。この現象を防止するために、コンタクトホール内壁の第1の多結晶シリコン中の不純物をさらに高濃度にするよう導入する必要があるが、この場合従来技術では特に素子分離特性V_{T2}低下の問題が深刻である。本発明は、素子分離特性を低下させず、かつ安定な低抵抗コンタクトを形成する方法を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明は、上記課題を解決するためのもので、機能領域を有する半導体基板上に形成された絶縁膜に、コンタクトホールを形成する工程と、前記絶縁膜を有する半導体基板の全面に第1の多結晶シリコン層を化学気相成長する工程と、不純物を \tan^{-1} (2×(コンタクト開口半径-第1の多結晶シリコン膜厚) / (コンタクトホールの深さ(絶縁膜の厚さ)) 以上の角度で不純物を斜めイオン注入により第1の多結晶シリコン中に注入する工程と、第2の多結晶シ

リコン化学気相成長する工程と、前記第1、2の多結晶シリコンをコンタクトホール内を残し全面エッチする工程を特徴とする半導体装置の製造方法であり、また、不純物を斜めイオン注入する角度が、 $\tan^{-1}(2 \times \text{コンタクト開口半径} - 2 \times \text{第1の多結晶シリコン膜厚})$ 以下であることを特徴とする半導体装置の製造方法であり、さらにまた、前記第1の多結晶シリコン層の厚さが、コンタクトホール直径の約1/3未満であることを特徴とする半導体装置の製造方法である。

【0007】

【作用】本発明においては、コンタクトホール内の多結晶シリコンに対する不純物を斜めイオン注入する際、そのイオン注入角度を $\tan^{-1}(2 \times (\text{コンタクトホール半径} - \text{多結晶ポリシリコンの厚さ}) / \text{コンタクトホールの深さ})$ 以上の角度で注入することによりコンタクトホール底部に不純物が注入されないものである。

【0008】

【実施例】本発明の実施例を図1、図2、図3及び図4を用いて説明する。本発明をNMOS型半導体装置に適用した場合、まず図1(a)の様に、P型半導体基板（P型シリコン基板）(101)上に素子分離膜(LOCOS)(102)とNチャンネル型LDDトランジスタのソース・ドレイン領域であるN⁺拡散層(103)、N⁻拡散層(104)とゲート絶縁膜(ゲート酸化膜)(105)とゲート電極であるN⁺多結晶シリコン(106)とシリコン酸化膜(107)の上にリン珪酸ガラス(PSG)膜(108)を約1.0μm化学気相成長により成長した層間膜(110)(107と108をまとめたもの)を形成する。

【0009】次に、図1(b)に示すように、ホトレジスト(109)を用い約0.2μm半径のコンタクトホールをパターンニングする。次に図2(c)に示すようにホトレジスト(109)をマスクとして、層間膜(110)をプラズマエッチングによりN⁺拡散層(103)が出るまでエッチングする。次にホトレジストを除去した後、図2(d)に示すように、第1の多結晶シリコン(111)を化学気相成長により約0.1μmの厚さに成長する。この第1の多結晶シリコン(111)の厚さは、コンタクトホール直径の約1/3未満が望ましい。次に、図3(e)に示すようにN型不純物、例えばリン(P)を斜め回転イオン注入し、コンタクトホール開口部側面の多結晶シリコン(111)にリン(P)をドーピングする。

【0010】ここで注入の角度だが、図5に示す様にコンタクトホールの深さを(h)、コンタクトホール(開口)半径を(r)、第1の多結晶シリコンの膜厚を(a)とすると注入角度(θ)は $\tan^{-1}(2r - 2a) / h < \theta < \tan^{-1}(2r / h)$

の範囲とする。例えば、 $r = 0.2 \mu\text{m}$ 、 $h = 1.2 \mu\text{m}$

m 、 $a = 0.1 \mu\text{m}$ の場合、 $\tan^{-1}(0.17) = 9.6^\circ$ で行う。これにより、図3(f)に示すようにコンタクトホール底面部には注入されない分布となる。なお、コンタクトホールの深さを(h)は「絶縁膜の厚さ」と等しいものである。

【0011】次に、図4(i)及び(j)に示すように、第2の多結晶シリコン(112)を約600nm成長させた後エッチバックを行い、その後、不純物の活性化の為に、窒素中で850℃、30分の熱処理を行う。これにより多結晶シリコン中にPが拡散し、埋め込みコンタクトを得る。

【0012】

【発明の効果】本発明によれば、コンタクトホール内の多結晶シリコンに対する不純物を斜めイオン注入する際、角度を $\tan^{-1}(2 \times (\text{コンタクトホール半径} - \text{多結晶ポリシリコンの厚さ}) / \text{コンタクトホールの深さ})$ 以上の角度で注入することによりコンタクトホール底部に不純物が注入されない為、不純物の活性化の為に熱処理、及び後工程の熱処理により基板に拡散した不純物によるVT2の悪化を最小にすることができるという効果を奏する。

【図面の簡単な説明】

【図1】 本発明の実施例の工程の縦断面図。

【図2】 本発明の実施例の工程の図1に続く縦断面図。

【図3】 本発明の実施例の工程の図2に続く縦断面図。

【図4】 本発明の実施例の工程の図3に続く縦断面図。

【図5】 本発明の実施例のコンタクトホールの説明図。

【図6】 従来技術の工程の縦断面図。

【図7】 従来技術の工程の図6に続く縦断面図。

【図8】 従来技術の工程の図7に続く縦断面図。

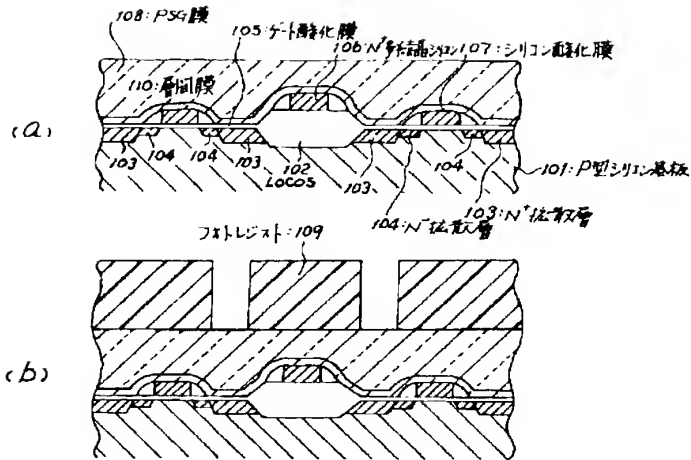
【図9】 従来技術の工程の図8に続く縦断面図。

【図10】 従来技術の工程の図9に続く縦断面図。

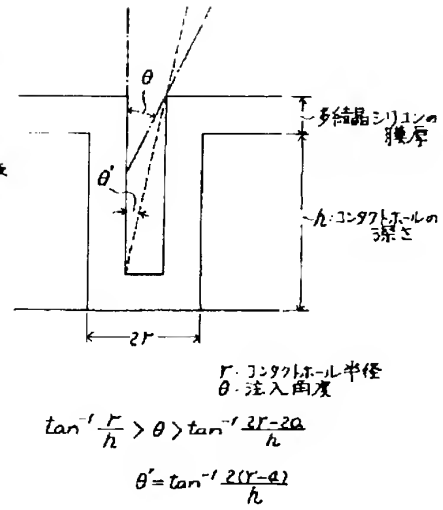
【符号の説明】

101、301	P型シリコン基板
102、302	LOCOS
103、303	N ⁺ 拡散層
104、304	N ⁻ 拡散層
105、305	ゲート酸化膜
106、306	N ⁺ 多結晶ポリシリコン
107、307	シリコン酸化膜
108、308	PSG膜
109、309	ホトレジスト
110、310	層間膜
111、311	第1の多結晶シリコン
112、312	第2の多結晶シリコン

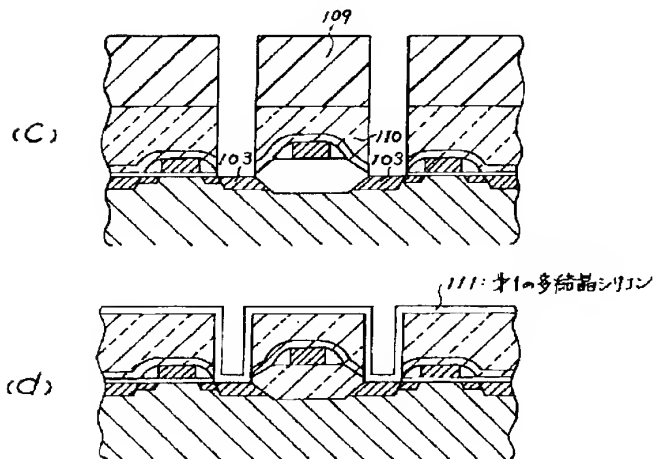
【図1】



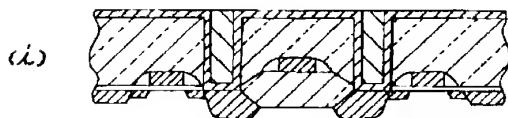
【図5】



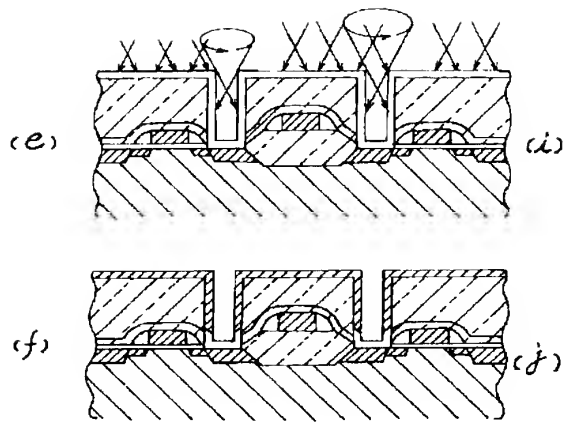
【図2】



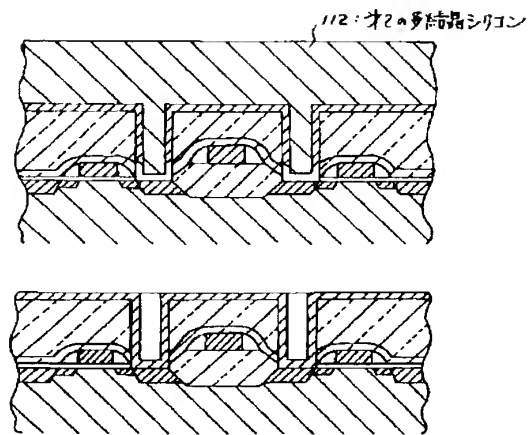
【図10】



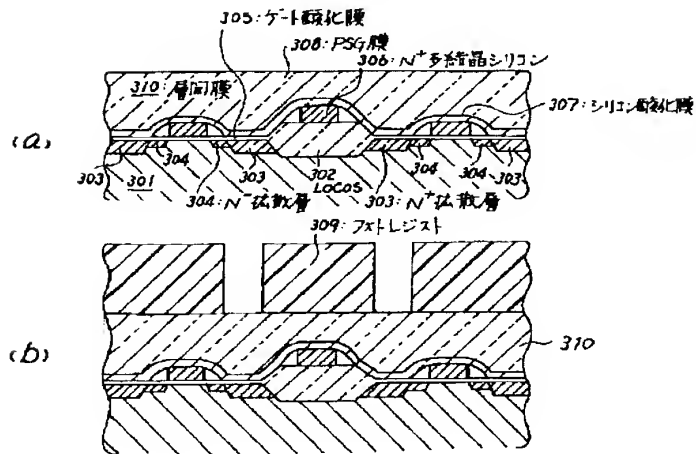
【図3】



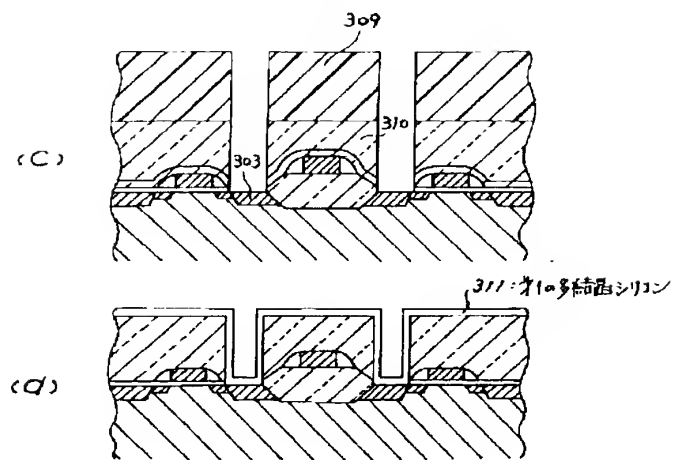
【図4】



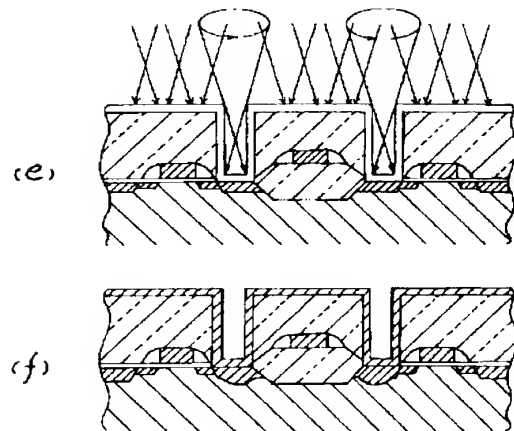
【図6】



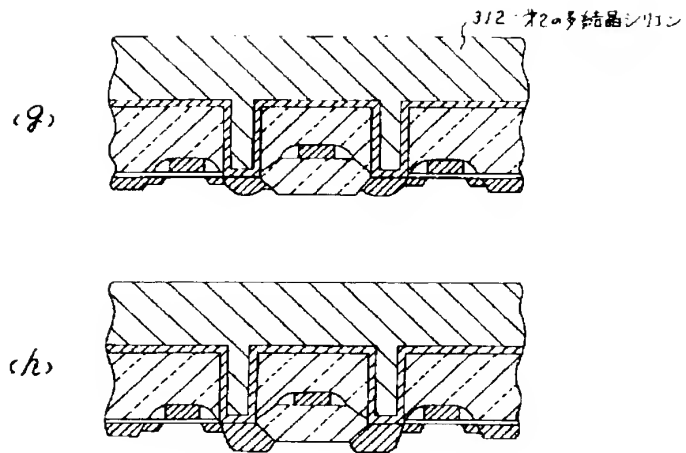
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁶
H01L 27/08

識別記号
3 3 1

庁内整理番号
9170-4M

F I

技術表示箇所